

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-271788

(43)公開日 平成11年(1999)10月8日

(51) Int.Cl.<sup>6</sup>  
 G 0 2 F 1/1343  
 1/136 5 0 0  
 H 0 1 L 29/786

F I  
 G 0 2 F 1/1343  
 1/136 5 0 0  
 H 0 1 L 29/786 6 1 2 A

審査請求 未請求 請求項の数 3 O.L. (全 8 頁)

(21)出願番号 特願平10-71867

(22)出願日 平成10年(1998)3月20日

(71)出願人 000005108  
 株式会社日立製作所  
 東京都千代田区神田駿河台四丁目6番地  
 (72)発明者 石井 正宏  
 千葉県茂原市早野3300番地 株式会社日立  
 製作所電子デバイス事業部内  
 (72)発明者 小野 記久男  
 千葉県茂原市早野3300番地 株式会社日立  
 製作所電子デバイス事業部内  
 (72)発明者 太田 益幸  
 千葉県茂原市早野3300番地 株式会社日立  
 製作所電子デバイス事業部内  
 (74)代理人 弁理士 秋田 収喜

最終頁に続く

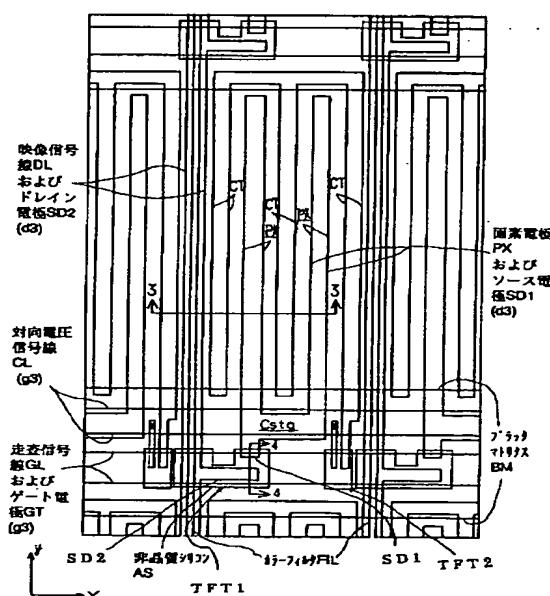
(54)【発明の名称】 液晶表示装置

## (57)【要約】

【課題】 輝度差の発生を抑制し、高画質を図る。

【解決手段】 液晶を介して互いに対向配置される透明基板のうちの一方の透明基板の液晶側の各画素領域のそれぞれに、映像信号線を介して選択された映像信号が供給される画素電極と、この画素電極に隣接して配置され前記映像信号に対する基準信号が供給される対向電極とが備えられ、前記画素電極と対向電極との間に発生する電界によって該画素電極と対向電極との間の液晶の光透過率を制御する液晶表示装置であって、前記対向電極はスイッチング素子を介して、前記画素電極に映像信号が供給されるタイミングに合わせて、前記基準信号が供給されるように構成されている。

図1



## 【特許請求の範囲】

【請求項1】 液晶を介して互いに対向配置される透明基板のうちの一方の透明基板の液晶側の各画素領域のそれぞれに、

映像信号線を介して選択された映像信号が供給される画素電極と、

この画素電極に隣接して配置され前記映像信号に対する基準信号が供給される対向電極とが備えられ、

前記画素電極と対向電極との間に発生する電界によって該画素電極と対向電極との間の液晶の光透過率を制御する液晶表示装置であって、

前記対向電極はスイッチング素子を介して、前記画素電極に映像信号が供給されるタイミングに合わせて、前記基準信号が供給されるように構成されていることを特徴とする液晶表示装置。

【請求項2】 画素電極は、走査信号線からの走査信号の供給によって駆動される第1スイッチング素子を介して映像信号線から映像信号が供給されるとともに、対向電極は前記走査信号線からの走査信号の供給によって駆動される第2スイッチング素子を介して対向電圧信号線から前記基準信号が供給されるように構成されていることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 対向電極は、映像信号線に隣接して形成されていることを特徴とする請求項1および2のうちいずれか記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は液晶表示装置に係り、特に、いわゆる横電界方式と称される液晶表示装置に関する。

## 【0002】

【従来の技術】 横電界方式と称される液晶表示装置は、液晶を介して互いに対向配置される透明基板のうち一方の透明基板の液晶側の各画素領域の面のそれぞれに、画素電極とこの画素電極に隣接して配置された対向電極とを備え、これら画素電極と対向電極との間に発生する電界によってこれら各電極の間の液晶の光透過率を制御するように構成されている。

【0003】 このような液晶表示装置は、その表示面に対して大きな角度視野から観察しても鮮明な映像を認識でき、いわゆる角度視野に優れたものとして知られるに到っている。

【0004】 そして、このような構成からなるアクティブ・マトリックス型の液晶表示装置としては、たとえば特許出願公表平5-505247号公報、特公昭63-21907号公報、および特開平6-160878号公報等に詳述されている。

【0005】 これらの文献から明らかなように、基本的な構成としては、一方の透明基板の液晶側の面に、x方向に延在しy方向に隣接される走査信号線と対向電圧信

号線と、y方向に延在しx方向に並設される映像信号線とで囲まれる領域を画素領域とし、これら各画素領域に、走査信号線からの走査信号によって駆動されるスイッチング素子と、この駆動されたスイッチング素子を介して映像信号線からの映像信号が供給される画素電極と、この画素電極と隣接し前記対向電圧信号線を介して基準信号が供給される対向電極とが備えられている。

## 【0006】

【発明が解決しようとする課題】 そして、画素領域の各電極のうち対向電極を映像信号線に隣接させて配置させ、これにより、映像信号線からのノイズが画素電極に浸入するのを該対向電極によって防止せんとする構成が提案されている。

## 【0007】 しかし、この場合、表示面において輝度差

が生じ、液晶表示装置の大型化の傾向にともなってその輝度差を無視できなくなってきたことが指摘されるに到った。

【0008】 そして、表示面における輝度差の発生の原因を追及した結果、次のことが判明するに到った。

【0009】 すなわち、映像信号線に隣接して対向電極が配置されていた場合、それらの間に大きな寄生容量が発生し、それによって、映像信号線における信号遅延が大きくなってしまう。

【0010】 このことは、映像信号線の信号源付近の信号電圧とそれより距離の離れた個所での信号電圧との間に差が生じ、液晶を駆動する映像信号が画面上で異なり、輝度差となって顕在化することになる。

【0011】 このような現象は、程度の差はある、対向電極が映像信号線に隣接して配置されている場合に限らず、画素電極が映像信号線に隣接して配置されている場合にも生じることが確認されている。

【0012】 本発明は、このような事情に基づいてなされたものであり、その目的は、輝度差の発生を抑制し、高画質の液晶表示装置を提供することにある。

## 【0013】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。すなわち、液晶を介して互いに対向配置される透明基板のうちの一方の透明基板の液晶側の各画素領域のそれぞれに、映像信号線を介して選択された映像信号が供給される画素電極と、この画素電極に隣接して配置され前記映像信号に対する基準信号が供給される対向電極と、が備えられ、前記画素電極と対向電極との間に発生する電界によって該画素電極と対向電極との間の液晶の光透過率を制御する液晶表示装置であつて、前記対向電極はスイッチング素子を介して、前記画素電極に映像信号が供給されるタイミングに合わせて、前記基準信号が供給されるように構成されていることを特徴とするものである。

【0014】 このように構成された液晶表示装置は、各

画素領域における対向電極が常時基準信号が供給される信号線と接続はされておらず、画素の駆動において必要がある場合（該対向電極とペアになる画素電極に映像信号が供給された場合）にのみ前記スイッチング素子を介して該信号線と接続されるようになる。

【0015】そして、各画素領域における対向電極が基準信号が供給される信号線と接続されていない場合、該対向電極と映像信号線との間に発生する寄生容量は、該対向電極が基準信号が供給される信号線と接続されている場合と比較して大幅に減少することが確認されている。

【0016】このため、各画素領域を駆動させる場合に、表示面において駆動される画素領域の割合が極めて少ないとから、映像信号線の対向電極に対する寄生容量はさらに大幅に減少され、該映像信号線における信号遅延を防止することができるようになる。

【0017】

【発明の実施の形態】以下、アクティブ・マトリックス方式のカラー液晶表示装置に本発明を適用した実施例を説明する。なお、以下説明する図面で同一機能を有するものは同一符号を付け、その繰返しの説明は省略する。

【0018】【実施例1】図1は本発明のアクティブ・マトリックス方式カラー液晶表示装置の一画素とその周辺を示す平面図である。なお、図1の3-3線における断面図を図3に、4-4線における断面図を図4に示している。

【0019】まず、図1において、一方の透明基板の液晶側の面に、そのx方向に延在しy方向に並設される走査信号線GLが形成されている。

【0020】また、このような各走査信号線GLに挟まれた領域内に一方の走査信号線GL（図中では下側の走査信号線GL）に隣接されて対向電圧信号線CLが該走査信号線GLと平行に形成されている。

【0021】この場合の走査信号線GLと対向電圧信号線CLは、本実施例の場合、同一の材料で構成され、かつ同一の工程で形成されるようになっているが、特に、これに限定されることはない。

【0022】そして、このように走査信号線GLと対向電圧信号線CLが形成された透明基板の表面には、該信号線をも被って絶縁膜が形成されている。

【0023】この絶縁膜は、後述する映像信号線DLの走査信号線GLと対向電圧信号線CLに対する層間絶縁膜として機能するが、後述する薄膜トランジスタTFTの形成領域においてはゲート絶縁膜G I（図4参照）として、また、後述する容量素子C stgの形成領域においては誘電体膜として機能するようになる。

【0024】薄膜トランジスタTFTは、この実施例の場合、走査信号線GLの一部領域上に2個形成され、その一方は後述する映像信号線DLからの映像信号を後述する画素電極PXへ供給するための第1スイッチング素

子TFT1として、また他方は対向電圧信号線CLからの基準電圧を後述する対向電極CTへ供給するための第2スイッチング素子TFT2として機能するようになっている。

05 【0025】薄膜トランジスタTFTの形成領域には、図4に示すように、前記絶縁膜G I上にたとえば非晶質シリコン層AS（半導体層）が島状に形成され、この半導体層ASの上面にソース電極SD1およびドレイン電極SD2を形成することにより、前記走査信号線GLの10一部をゲート電極GTとする薄膜トランジスタTFTが形成されることになるが、該ソース電極SD1およびドレイン電極SD2は映像信号線DLと同一の工程で形成されるようになっている。

【0026】すなわち、図1に示すように、図中y方向15に延在されx方向に並設される映像信号線DLが形成され、この際、映像信号線DLは前記絶縁膜によって走査信号線GLあるいは対向電圧信号線CLと絶縁が図れるようになっている。

【0027】そして、この映像信号線DLはその一部20が、第1スイッチング素子である薄膜トランジスタTFT1の領域にまで延在されて、ドレイン電極SD2を構成するようになっている。

【0028】一方、薄膜トランジスタTFT1のソース電極SD1も映像信号線DLと同時に形成され、このソ25ース電極は画素電極PXと一体となって形成されるようになっている。

【0029】画素電極PXは櫛歯状に形成されており、この画素電極と隣接して設けられる対向電極CTも櫛歯状に形成され、これら画素電極PXと対向電極CTは互30いに歯み合うようにして配置されている。

【0030】すなわち、対向電極CTは、本実施例では、たとえば3本から構成され、そのうちの2本は両脇の映像信号線DLに隣接して沿うようにして配置され、これら2本の真中に残りの1本が配置され、図中上端で35互いに共通接続されたE字状の形状をなしている。

【0031】一方、画素電極PXは、2本から構成され、それぞれが各対向電極CTの真中に配置され、図中下端で互いに共通接続されたコ字状の形状をなしている。

40 【0032】この場合、各画素電極PXの共通接続部は、対向電圧信号線CLの上層に形成され、それらの間に前記絶縁膜を誘電体膜とする容量素子Cstgが形成されている。この容量素子Cstgは、映像信号線DLからの映像信号が薄膜トランジスタTFT1を介して画素電極PXに供給された後に、該薄膜トランジスタTFT1がオフ状態となつても、該映像信号を画素電極PXに長く蓄積させる等の効果をもたせるために設けられている。

【0033】また、対向電極CTはその一端がそのまま50延在され、第2スイッチング素子である薄膜トランジ

タTFT2のソース電極を構成し、該薄膜トランジスタTFT2のドレイン電極は、対向電圧信号線CLにまで延在され前記絶縁膜に形成されたコンタクト孔を通して該対向電圧信号線CLに接続されている。

【0034】この場合、薄膜トランジスタTFT2は、薄膜トランジスタTFT1と全く同様の構成（図4に示す構成）となっており、このため、該薄膜トランジスタTFT2の製造においては薄膜トランジスタTFT1と並行して製造することができるようになる。

【0035】なお、上述から明らかとなるように、画素電極PXと対向電極CTは同層で形成されることから、それらを同一の材料で、かつ同一の工程（フォトリソ技術による選択エッチング工程）で形成することができるようなる。このようにすることによって、マスクずれなく画素電極PXと対向電極CTの間隔を全て均一にすることができ、表示むらをなくすことができる効果を有するようになる。

【0036】以上、このように構成することによって、前記対向電極は薄膜トランジスタTFT2を介して、前記画素電極PXに映像信号が供給されるタイミングに合わせて、対向電圧信号線CLから基準信号が供給されるよう構成されている。

【0037】すなわち、映像信号線DLからの映像信号が薄膜トランジスタTFT1を介して画素電極RXに供給されると同時に、対向電圧信号線CLからの基準信号が薄膜トランジスタTFT2を介して対向電極CTに供給されるようになっている。

【0038】このことは、画素の駆動において従来と変わることがなく、ただ、駆動されていない画素（表示面の大部分を占める）において、その対向電極CTは対向電圧信号線CLと接続されていない状態にあるのみとなる。

【0039】なお、このように加工されている透明基板の液晶側の面には、図3に示すように、その全域に及んでたとえばシリコン窒化膜からなる保護膜PSVが形成され、この保護膜の上面には配向膜ORI1が形成されている。

【0040】また、図3に示すように、液晶LCを介して対向する他の透明基板SUB2側の該液晶LC側の面

$$Cd1 = Cgdx + Cgcx + Cgd1 + (Cdp1 + Cdp2) // (Cgs2 + Clc + Cc) // (Cstg + Cgs1) \dots \text{ (式 1)}$$

ここで、記号//は、直列に接続した2つの容量の合成容量を計算する演算子であり、次式（2）で定義される。

$$C1//C2 = C1 \times C2 / (C1 + C2) \dots \text{ (式 2)}$$

一方、図9は、画素領域の従来構造における等価回路を示す回路図であり、同様に映像信号線DLに接続されている負荷容量Cd2を計算すると、次式（3）で表現さ

$$Cd2 = Cgdx + Cgcx + Cgd1 + Cdp1 + Cdp2 \dots \text{ (式 3)}$$

式（1）と式（3）とを比較すると、本実施例における映像信号線DLの負荷容量Cd1は、従来構造における

には、各画素領域に対向して特定された色のカラーフィルタFIL、これら各カラーフィルタFILを被って形成された平坦膜OC、この平坦膜OC面に形成された配向膜ORI2が備えられている。

05 【0041】図2は、このように構成された画素領域における等価回路を示した回路図である。

【0042】この場合、映像信号線DL、走査信号線GL、および対向電圧信号線CLの各抵抗は省略している。

10 【0043】同図において、Cd p1は映像信号線DLと画素電極PXとの間で配線同士が近くに存在するために発生する寄生容量、Cd p2は隣の映像信号線DLと画素電極PXとの間に存在する寄生容量、Cstgは画素電極PXと対向電圧信号線CLとの間で絶縁膜を介してオーバラップするために発生する容量、Clcは画素電極PXと対向電極CTとの間で液滴を介して電極同士が近くに存在するために発生する容量、Cgdxは映像信号線DLと走査信号線GLとの間で絶縁膜を介してオーバラップするために発生する容量、Cgcxは映像信号線DLと対向信号線CLとの間で絶縁層を介してオーバラップするために発生する容量、Cgd1は薄膜トランジスタTFT1においてドレイン電極とゲート電極の間に発生する寄生容量、Cgs1は薄膜トランジスタTFT1においてソース電極とゲート電極の間に発生する寄生容量、

15 Cgd2は薄膜トランジスタTFT2においてドレイン電極とゲート電極の間に発生する寄生容量、Cgs2は薄膜トランジスタTFT2においてソース電極とゲート電極の間に発生する寄生容量、Ccは対向電極CTと対向信号線CLとの間で絶縁層を介してオーバラップするために発生する容量を示している。

20 【0044】一つの画素は、表示面内で縦横方向に配置されているため、Cd p2等は隣の映像信号線DLからも接続されている。

【0045】このときの映像信号線DLに接続されている付加容量Cd1を計算すると次式（1）で表現される。

25 【0046】  
【数1】

【0047】  
【数2】

【0048】  
【数3】

30 【0049】  
【数4】

【0045】このときの映像信号線DLに接続されている付加容量Cd1を計算すると次式（1）で表現される。

35 【0046】  
【数1】

【0047】  
【数2】

【0048】  
【数3】

40 【0049】  
【数4】

【0045】このときの映像信号線DLに接続されている付加容量Cd1を計算すると次式（1）で表現される。

45 【0046】  
【数1】

【0047】  
【数2】

【0048】  
【数3】

【0049】  
【数4】

【0049】これは、2つの式のうち、右辺の第1～3項までは同じであるが、第4項以降は、本実施例では(Cdp1+Cdp2)と他容量との直列接続になっているのに比べ、従来では(Cdp1+Cdp2)そのままとなっている。

【0050】一般に、2つ以上の容量を直接接続するとその合成容量は、それらの値よりも小さくなることから、本実施例では、直列接続になっている分だけ負荷容量が低減されていることが判る。

【0051】特に、液晶分子を基板に略平行の電界を印加するにより光の透過率を変調する方式においては、映像信号線DLと対向電極CTとが画素サイズの約8割程度の長さまで平行に配置されていることから、それらの間の寄生容量すなわちCdp1とCdp2は大きくなりがちである。このことから、本発明による負荷容量の低減は、その効果が大きいことがいえる。

【0052】これにより、映像信号線の信号遅延が低減され、映像信号線の信号源付近の電圧とそれより距離の離れた位置での電圧との間の差を小さくすることができ、表示面の輝度差を抑制できるようになる。

【0053】〔実施例2〕図5は、本発明のアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す他の実施例を示す平面図であり、図1と対応した図面となっている。図5の7-7線における断面図を図7に、8-8線における断面図を図8に示す。

【0054】図1と異なる部分は、まず、走査信号線GLと対向電圧信号線CLとがそれぞれ逆に配置されていることがある。

【0055】すなわち、対向電圧信号線CLからの基準信号は走査信号線GLを股いで（正確には、走査信号線GLの上層に形成された薄膜トランジスタTFT2を介して）対向電極CTに供給されるようになっている。

【0056】また、対向電極CTは、走査信号線GLおよび対向電圧信号線CLと同層に形成されている。このことから、該対向電極CTは、走査信号線GLおよび対向電圧信号線CLと同一の材料から構成し、かつ、それらと同一の工程で形成することができる。

$$Cd1=Cgdx+Cgcx+Cgd1+(Cdp1+Cdp2)/(Cgs2+C1c+Cs) \dots \text{ (式4)}$$

となり、たとえCsが付加された場合でも、前記式(3)に示す負荷容量よりも小さくすることが明らかとなる。

【0066】上述した各実施例では、対向電圧信号線CLと対向電極CTとの接続を図るスイッチング素子は、薄膜トランジスタTFT2としたものである。しかしながら、必ずしも薄膜トランジスタに限定されることはない。対向電極に基準信号が供給されるようにスイッチング素子を介在させた構成とすることによって本発明の効果が得られるからである。

【0067】上述した各実施例では、各画素領域において、映像信号線DLに隣接されて対向電極CTが配置さ

【0057】したがって、該対向電極CTは、絶縁膜の下層に位置づけられ、該絶縁膜の上層に形成される薄膜トランジスタTFT2のソース電極とは該絶縁膜に形成したコンタクト孔を通して接続されるようになってい  
05 る。また、同様に、薄膜トランジスタTFT2のドレイン電極はやはり該絶縁膜に形成したコンタクト孔を通して該絶縁膜の下層に形成された対向電圧信号線CLに接続されている。

【0058】これによって、走査信号線GLに走査信号  
10 が供給されることによって、前記薄膜トランジスタTFT2が駆動され、この薄膜トランジスタTFT2を介して、対向電圧信号線CLからの基準電圧は対向電極CTに供給されることになる。

【0059】さらに、画素電極PXは、絶縁膜の上層に  
15 形成され、映像信号線DLと同層に形成されている。このことから、該画素電極PXは、映像信号線DLと同一の材料から構成し、かつ、それらと同一の工程で形成することができる。

【0060】この画素電極PXは、図面上側の対向電圧  
20 信号線CLにまで延在して形成され、該対向電圧信号線CLとの重疊部は、それらの間に介在されている前記絶縁膜を誘電体膜とする容量素子Cstgが形成されている。

【0061】なお、容量素子Cstgを上述のようにして  
25 形成するため、画素電極PXは各対向電極CTの共通接続部をクロスすることになり、そのクロス部において容量素子Csが形成されてしまうことになる。

【0062】図6は、このように構成された画素領域における等価回路を示した回路図である。

30 【0063】図2と大きく異なるのは、新たにCsが付加され、このCsは画素電極PXと対向電極CTとの間で絶縁膜を介してオーバラップするために発生する容量である。

【0064】この場合、前記式(1)に相当する式が次  
35 式

【0065】

【数4】

40 れたものであるが、必ずしもこれに限定されることはなく、画素電極PXが隣接して配置されていてもよい。映像信号線と対向電極との間の寄生容量を小さくでき同様の効果を奏するからである。

【0068】  
【発明の効果】以上説明したことから明らかなように、  
45 本発明による液晶表示装置によれば、輝度差の発生を抑制し、高画質を図ることができるようになる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の画素領域における一実施例を示す平面図である。

50 【図2】本発明による液晶表示装置の画素領域における

一実施例を示す等価回路図である。

【図3】図1の3-3線における断面図である。

【図4】図1の4-4線における断面図である。

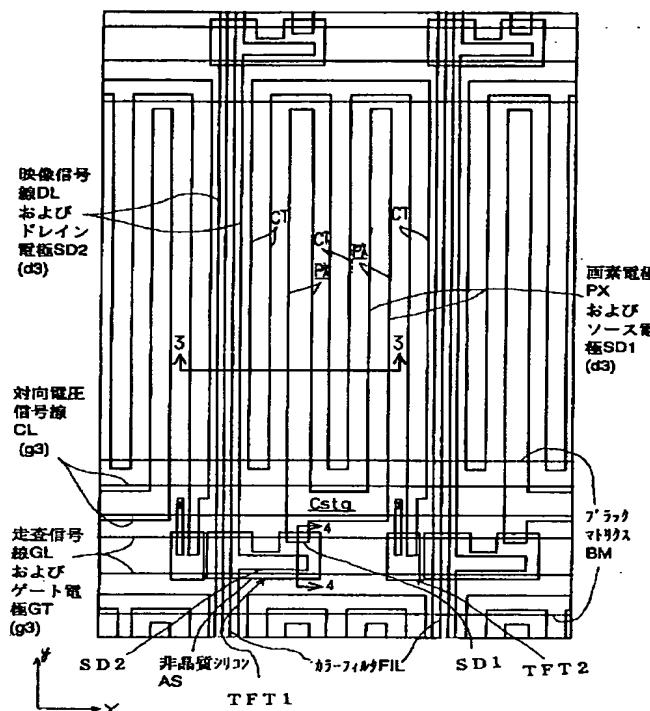
【図5】本発明による液晶表示装置の画素領域における他の実施例を示す平面図である。

【図6】本発明による液晶表示装置の画素領域における他の実施例を示す等価回路図である。

【図7】図5の7-7線における断面図である。

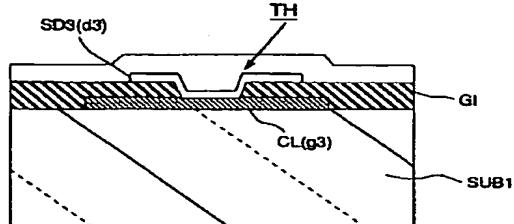
【図1】

図1



【図8】

図8



【図8】図5の8-8線における断面図である。

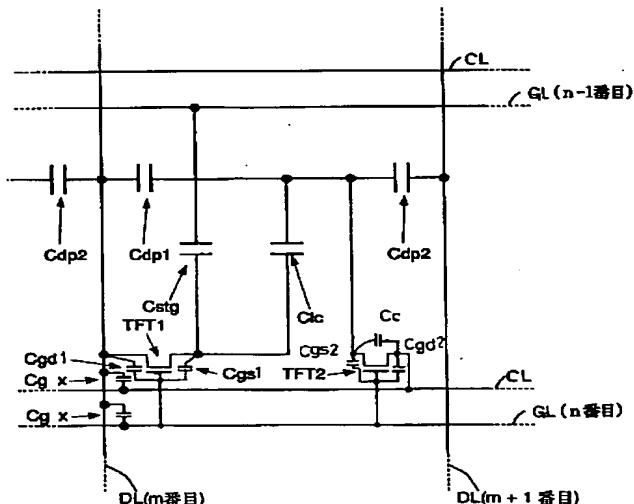
【図9】従来の液晶表示装置の画素領域における一例の等価回路図である。

【符号の説明】

05 GL…走査信号線、CL…対向電圧信号線、CT…対向電極、DL…映像信号線、PX…画素電極、TFT1、TFT2…薄膜トランジスタ、Cstg…容量素子。

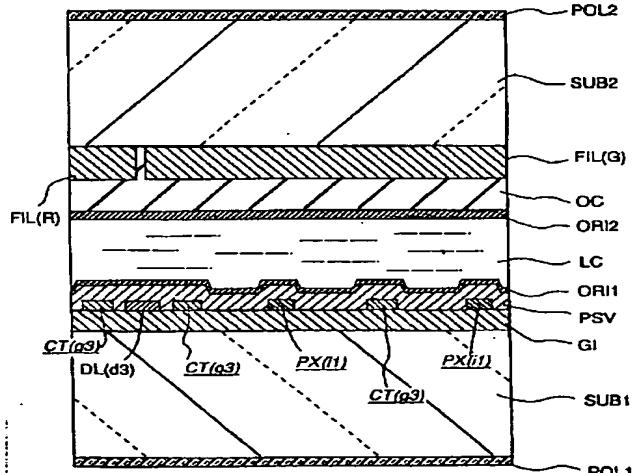
【図2】

図2

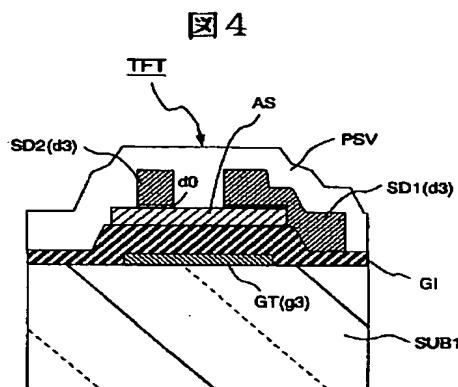


【図3】

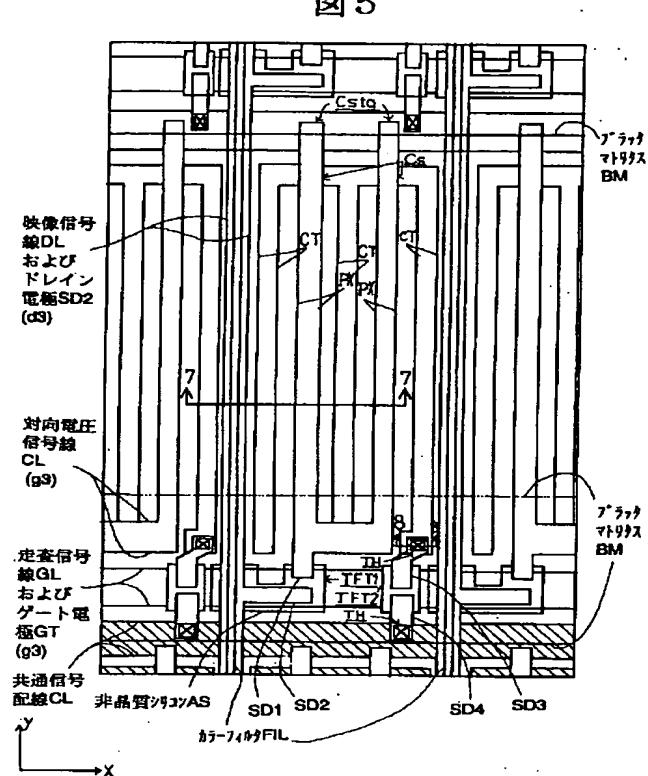
図3



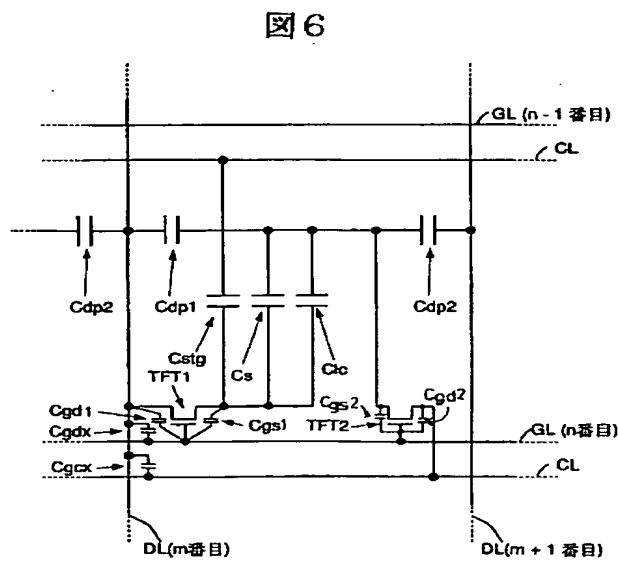
【図4】



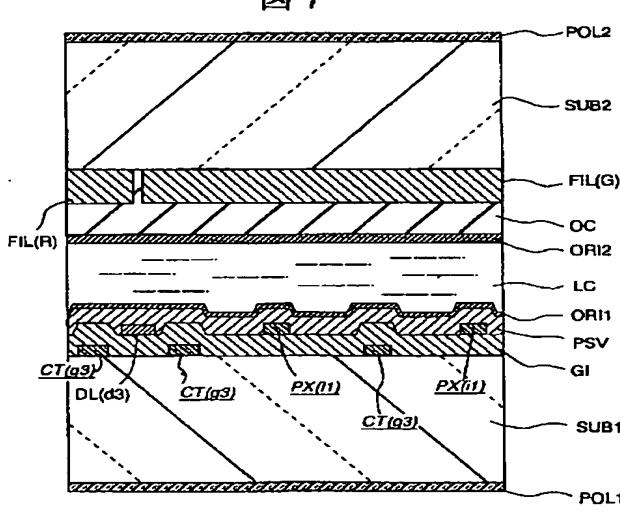
【図5】



【図6】

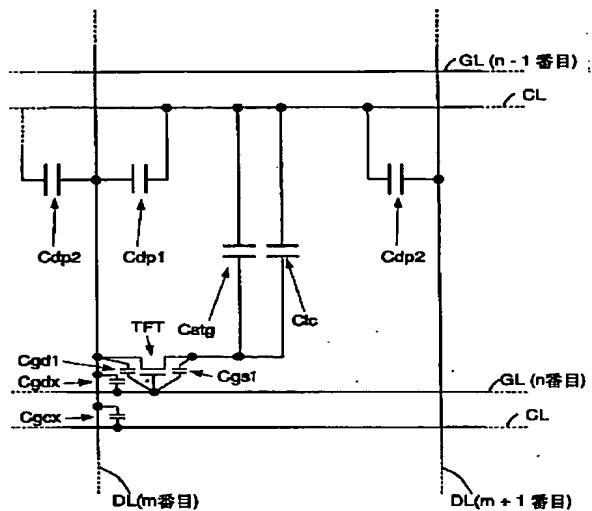


【図7】



【図9】

図9



---

フロントページの続き

(72)発明者 鈴木 伸之

千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(19) Japan Patent Office (JP)  
(12) Publication of Patent Application (A)  
(11) Publication Number of Patent Application: JP-A-11-  
271788

(43) Date of Publication of Application: October 8, 1999

(51) Int. Cl.<sup>6</sup> :

G 02 F 1/1343

1/136

H 01 L 29/786

Identification Number:

500

FI:

G 02 F 1/1343

1/136 500

H 01 L 29/78 612A

Request for Examination: not made

Number of Claims: 3 OL (8 pages in total)

(21) Application Number Hei-10-71867

(22) Application Date: March 20, 1998

(71) Applicant: 000005108

Hitachi Limited

4-6, Kanda Surugadai, Chiyoda-ku,  
Tokyo

(72) Inventors: ISHII Masahiro, ONO Kikuo, OTA Masuyuki,

SUZUKI Nobuyuki  
c/o Hitachi Limited  
Electronic Devices Enterprises Division  
3300, Hayano, Mobara-shi,  
Chiba-ken

(74) Agent: Patent Attorney, AKIRA Syuki

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE

(57) Abstract:

[Problem] To attain high image quality by restraining the occurrence of a luminance difference.

[Means for Resolution] In this liquid crystal display device, the respective pixel regions on the liquid crystal side of one of transparent substrates disposed opposite to each other through liquid crystal is provided with a pixel electrode to which a selected video signal is supplied through a video signal line, and a counter electrode disposed adjacent to the pixel electrode, and supplied with a reference signal to the video signal, and the optical transmittance of liquid crystal between the pixel electrode and the counter electrode is controlled by an electric field generated between the pixel electrode and the counter electrode. The counter electrode is supplied with the reference signal through a switching element in time to the supply of the video signal to the pixel electrode.

Claims:

1. A liquid crystal display device, comprising: a pixel electrode supplied with a selected video signal through a video signal line; and a counter electrode disposed adjacent to the pixel electrode and supplied with a reference signal to the video signal, which are provided in each pixel region on the liquid crystal side of one of transparent substrates disposed opposite to each other through liquid crystal, wherein the optical transmittance of the liquid crystal between the pixel electrode and the counter electrode is controlled by an electric field generated between the pixel electrode and the counter electrode, characterized in that the counter electrode is supplied with the reference signal in time to the supply of a video signal to the pixel electrode through a switching element.

2. The liquid crystal display device according to claim 1, wherein the pixel electrode is supplied with a video signal from the video signal line through a first switching element driven by the supply of a scan signal from a scan signal line and also the counter electrode is supplied with the reference signal from a counter voltage signal line through a second switching element driven by the supply of a scan signal from the scan signal line.

3. The liquid crystal display device according to claim

1 or 2, wherein the counter electrode is formed adjacent to the video signal line.

Detailed Description of the Invention:

[0001]

[Industrial Field of Application]

This invention relates to a liquid crystal display device and particularly to the so-called transverse field type liquid crystal display device.

[0002]

[Prior Art]

The transverse field type liquid crystal display device has been so constructed heretofore that each surface of the respective pixel regions on the liquid crystal side of one of transparent substrates disposed opposite to each other through liquid crystal is provided with a pixel electrode and a counter electrode disposed adjacent to the pixel electrode, and the optical transmittance of liquid crystal between the electrodes is controlled by an electric field generated between the pixel electrode and the counter electrode.

[0003]

As to this type of liquid crystal display device, it has been known that a clear video (picture) can be recognized even in observation from the visual field at a large angle to its display surface, and the device has excellent angle visual

field.

[0004]

The thus constructed active matrix type liquid crystal display device is described in detail in JP-T-5-505247 (the term "JP-T" as used herein means a published Japanese translation of a PCT patent application), JP-B-63-21907, JP-A-6-160878 and so on, for example.

[0005]

It will be apparent from these documents that as the basic configuration, on the surface on the liquid crystal side of one transparent substrate, a region surrounded with a scan signal line, a counter voltage signal line, which are extended in the direction of x and adjacent to each other in the direction of y, and video signal lines, which are extended in the direction of y and disposed side by side in the direction of x, is taken as a pixel region, and each of the pixel regions is provided with a switching element driven in response to a scan signal from the scan signal line, a pixel electrode supplied with a video signal from the video signal line through the driven switching element, and a counter electrode disposed adjacent to the pixel electrode and supplied with a reference signal through the counter voltage signal line.

[0006]

[Problems that the Invention is to Solve]

It has been proposed that the counter electrode of the

respective electrodes of the pixel region is disposed adjacent to the video signal line, whereby noise from the video signal line is prevented from entering the pixel electrode by the counter electrode.

[0007]

[Means for Solving the Problems]

In this case, however, it is pointed out that a luminance difference is caused on the display surface, and as the liquid crystal display device tends to increase in size, such luminance difference is not ignorable.

[0008]

As a result of investigation on the cause of a luminance difference on the display surface, the followings become clear.

[0009]

That is, in the case where the counter electrode is disposed adjacent to the video signal line, large parasitic capacity is generated between them, so that signal delay in the video signal line is increased.

[0010]

This causes a difference between the signal voltage near the signal source of the video signal line and the signal voltage at a portion distant from that, so signals for driving the liquid crystal are different on the screen to actualize a luminance difference.

[0011]

It is confirmed that differing in degrees, this phenomenon is not limited to the case where the counter electrode is disposed adjacent to the video signal line, but it is caused in the case where the pixel electrode is disposed adjacent to the video signal line as well.

[0012]

This invention has been made in the light of such circumstances and it is an object of the invention to provide a liquid crystal display device, which may attain high image quality by restraining the occurrence of luminance difference.

[0013]

[Means for Solving the Problems]

The outline of a representative one of the inventions disclosed in the present application will now be described in brief in the following. That is, a liquid crystal display device, includes: a pixel electrode supplied with a selected video signal through a video signal line; and a counter electrode disposed adjacent to the pixel electrode and supplied with a reference signal to the video signal, which are provided in each pixel region on the liquid crystal side of one of transparent substrates disposed opposite to each other through liquid crystal, in which the optical transmittance of the liquid crystal between the pixel electrode and the counter electrode is controlled by an electric field generated between the pixel electrode and the counter electrode, characterized

in that the counter electrode is supplied with the reference signal in time to the supply of a video signal to the pixel electrode through a switching element.

[0014]

In the thus constructed liquid crystal display device, the counter electrode in each pixel region is not connected to the signal line always supplied with the reference signal, but connected to the signal line only at need in the drive of the pixel (the case where the pixel electrode paired with the counter electrode is supplied with a video signal) through the switching element.

[0015]

It is confirmed that in the case where the counter electrode in each pixel region is not connected to the signal line supplied with the reference signal, parasitic capacity generated between the counter electrode and the video signal line is remarkably decreased as compared with that in the case where the counter electrode is connected to the signal line supplied with the reference signal.

[0016]

Therefore, in the case of driving the respective pixel regions, the proportion of pixel regions driven on the display surface is very small, so the parasitic capacity of the video signal line to the counter electrode is further remarkably decreased to prevent signal delay in the video signal line.

[0017]

[Mode for Carrying Out the Invention]

An embodiment where the invention is applied to the active matrix type color liquid crystal display device will now be described. In the drawings described in the followings, the parts having the same function are designated by the same reference numerals, so the repeated description is omitted.

[0018]

[Embodiment 1]

Fig. 1 is a plan view showing one pixel and its periphery of an active matrix type color liquid crystal display device according to the present invention. A sectional view taken along line 3 - 3 of Fig. 1 is shown in Fig. 3, and a sectional view taken along line 4 - 4 is shown in Fig. 4.

[0019]

In Fig. 1, on the surface on the liquid crystal side of one transparent substrate, a scan signal line GL extended in the direction of (x) and arranged in the direction of (y) is formed.

[0020]

Within a region sandwiched between the respective scan signal lines GL, a counter voltage signal line CL is formed adjacent to one scan signal line GL (in the drawing, the lower scan signal line GL) in parallel to the scan signal line GL.

[0021]

Although the scan signal line GL and the counter voltage signal line CL in this case are formed of the same material and formed in the same process in the present embodiment, this is not restrictive particularly.

[0022]

On the surface of the transparent substrate where the scan signal line GL and the counter voltage signal line CL are thus formed, an insulation film covering the signal line as well is formed.

[0023]

The insulation film functions as a layer insulation film of a video signal line DL mentioned later to the scan signal line GL and the counter voltage signal line CL, and also functions as a gate insulation film GI (See Fig. 4) in a forming area of a thin film transistor TFT area mentioned later and as a dielectric film in a forming area of a capacitative element Cstg mentioned later.

[0024]

Two thin film transistors TFT are formed on a partial area of the scan signal line GL in the present embodiment, one of them functions as a first switching element TFT1 for supplying a video signal from the video signal line DL mentioned later to a pixel electrode PX, and the other functions as a second switching element TFT 2 for supplying reference voltage from the counter voltage signal line CL to a counter electrode

CT mentioned later.

[0025]

In the forming area of the thin film transistor TFT, as shown in Fig. 4, an amorphous silicon layer AS (semiconductor layer), for example, is formed insular on the insulation film GI, and a source electrode SD1 and a drain electrode SD2 are formed on the upper surface of the semiconductor layer AS, thereby forming the thin film transistor TFT taking a part of the scan signal line GL as a gate electrode GT. The source electrode SD1 and the drain electrode SD2 are formed in the same process as the video signal line DL.

[0026]

That is, as shown in Fig. 1, the video signal lines DL extended in the direction of (y) and arranged side by side in the direction of (x) in the drawing are formed, and at the time, the video signal lines DL are insulated from the scan signal line GL or the counter voltage signal line CL by the insulation film.

[0027]

The video signal line DL is partially extended to the area of the thin film transistor TFT1 as the first switching element, thereby constituting the drain electrode SD2.

[0028]

On the other hand, the source electrode SD1 of the thin film transistor TFT1 is also formed simultaneously with the

video signal line DL, and the source electrode is formed integral with the pixel electrode PX.

[0029]

The pixel electrode PX is formed like the teeth of a comb, a counter electrode CT provided adjacent to the pixel electrode is also formed like the teeth of a comb, and the pixel electrode PX and the counter electrode CT are disposed to engage with each other.

[0030]

That is, in the present embodiment, three counter electrodes CT are provided, two of them are disposed adjacent to two video signal lines DL on both sides, the remaining one is disposed in the midway between the above two electrodes, and in the drawing, the upper ends are connected in common to be E-shaped.

[0031]

On the other hand, two pixel electrodes PX are provided and respectively disposed in the midway between the respective counter electrodes CT, and in the drawing, the lower ends are connected in common to be U-shaped.

[0032]

In this case, the common connecting parts of the respective pixel electrodes PX are formed on the upper layer of the counter voltage signal line CL, and a capacitative element Cstg taking the insulation film as a dielectric film

is formed between them. The capacitative element Cstg is provided to produce the effect of storing a video signal in the pixel electrode PX for a long time even if the thin film transistor TFT1 is put in the off state after the video signal from the video signal line DL is supplied through the thin film transistor TFT1 to the pixel electrode PX.

[0033]

The counter electrode CT has one end extended as it is, thereby constituting the source electrode of the thin film transistor TFT2 as the second switching element, and the drain electrode of the thin film transistor TFT2 is extended to the counter voltage signal line CL to be connected to the counter voltage signal line CL through a contact hole.

[0034]

In this case, the thin film transistor TFT2 has the quite same construction (shown in Fig. 4) as the thin film transistor TFT1, so that in manufacturing the thin film transistor TFT2, it can be manufactured concurrently with the thin film transistor TFT1.

[0035]

As clear from the above description, the pixel electrode PX and the counter electrode CT are formed by the same layer, so they can be formed of the same material and in the same process (selective etching process using photolithography). Thus, the spaces between the pixel electrodes PX and the counter

electrodes CT are all made uniform without misalignment of a mask so as to produce the effect of preventing non-uniformity of display.

[0036]

By this constitution, the counter electrode is supplied with a reference signal from the counter voltage signal line CL through the thin film transistor TFT2 in time to the supply of a video signal to the pixel electrode PX.

[0037]

That is, simultaneously with the supply of the video signal from the video signal line D1 through the thin film transistor TFT1 to the pixel electrode PX, the reference signal from the counter voltage signal line CL is supplied through the thin film transistor TFT2 to the counter electrode CT.

[0038]

Although this is the same as before in the drive of the pixel, in the pixels not driven (occupying the most part of the display surface), only the counter electrode CT is not connected to the counter voltage signal line CL.

[0039]

On the surface of the thus worked transparent substrate on the liquid crystal side, as shown in Fig. 3, a protective film PSV formed by such as a silicon nitride film is formed extending over the whole area, and an orientation film OR11 is formed on the upper surface of the protective film.

[0040]

On the other hand, as shown in Fig. 3, the surface on the liquid crystal LC side of the other transparent substrate SUB2 side opposite to the above through the liquid crystal LC is provided with color filters FIL of specified colors opposite to the respective pixel regions, a flat film OC formed to cover the respective color filters FIL, and an orientation film OR12 formed on the surface of the flat film OC.

[0041]

Fig. 2 is a circuit diagram showing an equivalent circuit in the thus constructed pixel region.

[0042]

In this case, the respective resistances of the video signal line DL, the scan signal line GL and the counter voltage signal line CL are omitted.

[0043]

In Fig. 2, the reference numeral Cdp1 designates a parasitic capacity generated due to close existence of wirings between the video signal line DL and the pixel electrode PX, the reference numeral Cdp2 designates a parasitic capacity existing between the adjacent video signal line DL and the pixel electrode PX, the reference numeral Cstg designates a capacity generated due to overlap through the insulation film between the pixel electrode PX and the counter voltage signal line CL, the reference numeral Clc designates a capacity generated due

to close existence of electrodes through the liquid crystal between the pixel electrode PX and the counter electrode CT, the reference numeral Cgdx designates a capacity generated due to overlap through an insulation film between the video signal line DL and the scan signal line GL, the reference numeral Cgcx designates a capacity generated due to overlap through the insulation layer between the video signal line DL and the counter signal line CL, the reference numeral Cgd1 designates a parasitic capacity generated between the drain electrode and the gate electrode in the thin film transistor TFT1, the reference numeral Cgs1 designates a parasitic capacity generated between the source electrode and the gate electrode in the thin film transistor TFT1, the reference numeral Cgd2 designates a parasitic capacity generated between the drain electrode and the gate electrode in the thin film transistor TFT2, the reference numeral Cgs2 designates a parasitic capacity generated between the source electrode and the gate electrode in the thin film transistor TFT2, and the reference numeral Cc designates a capacity generated due to overlap through the insulation layer between the counter electrode CT and the counter signal line CL.

[0044]

Since one pixel is disposed in the longitudinal and lateral directions in the display screen, the Cdp2 is connected with the adjacent video signal line DL as well.

[0045]

When load capacity  $Cd1$  connected to the video signal line DL at that time is calculated, it is expressed by the following formula (1).

[0046]

[Formula 1]

$$Cd1 = Cgdx + Cgcx + Cgd1 + (Cdp1 + Cdp2) // (Cgs2 + Clc + Cc) // (Cstg + Cgs1) \dots (1)$$

wherein the sign // is an operator for calculating the composite capacity of two capacities connected in series, which is defined by the following formula (2).

[0047]

[Formula 2]

$$C1 // C2 = C1 \times C2 / (C1 + C2) \dots (2)$$

On the other hand, Fig. 9 is a circuit diagram showing an equivalent circuit in the conventional structure of the pixel region, and when the load capacity  $Cd2$  connected to the video signal line DL is similarly calculated, it is expressed by the following formula (3).

[0048]

[Formula 3]

$$Cd2 = Cgdx + Cgcx + Cgd1 + Cdp1 + Cdp2 \dots (3)$$

When the formula (1) and the formula (3) are compared with each other, it is found that the load capacity  $Cd1$  of the video signal line DL in the present embodiment is reduced as compared with

the load capacity Cd2 of the video signal line DL in the conventional structure.

[0049]

This results from that although the two formulas have the same first to third terms of the right member, the fourth and following terms are ( $Cdp_1 + Cdp_2$ ), which are serially connected to the other capacity in the present embodiment, and on the other hand, they are ( $Cdp_1 + Cdp_2$ ), which are intact in the prior art.

[0050]

Generally, when two or more capacities are serially connected, the composite capacity becomes smaller than the value thereof, so it is found that the load capacity is reduced for the serial connection in the present embodiment.

[0051]

Especially, in the system where the transmittance of light is modulated by applying an electric field substantially parallel to the substrate in the liquid crystal molecules, the video signal line DL and the counter electrode CT are disposed parallel up to the length about 80 percentage of the pixel size, so the parasitic capacity between them, that is, the  $Cdp_1$  and the  $Cdp_2$  are apt to increase. It will be found from this that according to the present invention, the effect of reducing the load capacity is large.

[0052]

Thus, the signal delay of the video signal line can be reduced, and a difference between the voltage near the signal source of the video signal line and the voltage in a position more away from it can be decreased so as to restrain a luminance difference on the display surface.

[0053]

[Embodiment 2]

Fig. 5 is a plan view of another embodiment showing one pixel and its periphery of an active matrix type color liquid crystal display device according to the invention, which corresponds to Fig. 1. A sectional view taken along line 7 - 7 of Fig. 5 is shown in Fig. 7, and a sectional view taken along line 8 - 8 is shown in Fig. 8.

[0054]

The difference from Fig. 1 is first that a scan signal line GL and a counter voltage signal line CL are conversely disposed respectively.

[0055]

That is, a reference signal from the counter voltage signal line CL is supplied to a counter electrode CT over the scan signal line GL (to be accurate, through a thin film transistor TFT2 formed on the upper layer of the scan signal line GL).

[0056]

Further, the counter electrode CT is formed on the same

layer as the scan signal line GL and the counter voltage signal line CL. Then, the counter electrode CT is formed of the same material as the scan signal line GL and the counter voltage signal line CL and it can be formed in the same process as those.

[0057]

Accordingly, the counter electrode CT is positioned on the lower layer of the insulation film, and connected to the source electrode of the thin film transistor TFT2 formed on the upper layer of the insulation film through a contact hole formed in the insulation film. Further, the drain electrode of the thin film transistor TFT2 is similarly connected to the counter voltage signal line CL formed on the lower layer of the insulation film through a contact hole formed in the insulation film.

[0058]

By this arrangement, a scan signal is supplied to the scan signal line GL to thereby drive the thin film transistor TFT2, and reference voltage from the counter voltage signal line CL is supplied through the thin film transistor TFT2 to the counter electrode CT.

[0059]

Further, a pixel electrode PX is formed on the upper layer of the insulation film and formed on the same layer as a video signal line DL. Then, the pixel electrode PX can be formed of the same material of the video signal line DL, and it can

be formed in the same process as those.

[0060]

The pixel electrode PX is formed extending to the counter voltage signal line CL on the upper side in the drawing, and its superposed part on the counter voltage signal line CL is provided with a capacitative element Cstg formed to have the insulation film interposed between them functioned as a dielectric film.

[0061]

Since the capacitative element Cstg is formed as described above, the pixel electrode PX crosses a common connecting part of each counter electrodes CT, resulting in that the capacitative element Cs is formed on the crossing part.

[0062]

Fig. 6 is a circuit diagram showing an equivalent circuit in the thus constructed pixel region.

[0063]

The major difference from Fig. 2 is that newly Cs is added, and the Cs is a capacity generated to overlap between the pixel electrode PX and the counter electrode CT through the insulation film.

[0064]

In this case, a formula corresponding to the above formula (1) is as follows.

[0065]

[Formula 4]

$$Cd1=Cgdx+Cgcx+Cgd1+(Cdp1+Cdp2)/(Cgs2+C1c+Cs)/(Cstg +Cgs1) \dots (4)$$

It will be apparent that even when the Cs is added, it is made smaller than the load capacity shown in the formula (3).

[0066]

In the respective embodiments, a switching element for connecting the counter voltage signal line CL and the counter electrode CT to each other is the thin film transistor TFT 2. This is, however, not always limited to the thin film transistor. The reason for this is that the switching element is interposed to supply the reference signal to the counter electrode, thereby producing the effect of the invention.

[0067]

In the respective embodiments, in each pixel region, the counter electrode CT is disposed adjacent to the video signal line DL. This is not always restrictive, and the pixel electrode PX may be disposed adjacent thereto. The parasitic capacity between the video signal line and the counter electrode can be reduced so as to produce the similar effect.

[0068]

[Advantage of the Invention]

According to the invention, it will be apparent from the above description that the liquid crystal display device can restrain the occurrence of luminance difference to attain high

image quality.

Brief Description of the Drawings:

Fig. 1 is a plan view showing one embodiment in a pixel region of a liquid crystal display device according to the invention;

Fig. 2 is an equivalent circuit diagram showing one embodiment in a pixel region of a liquid crystal display device according to the invention;

Fig. 3 is a sectional view taken along line 3 - 3 of Fig. 1;

Fig. 4 is a sectional view taken along line 4 - 4 of Fig. 1;

Fig. 5 is a plan view showing another embodiment in a pixel region of a liquid crystal display device of the invention,

Fig. 6 is an equivalent circuit diagram showing another embodiment in a pixel region of a liquid crystal display device of the invention;

Fig. 7 is a sectional view taken along line 7 - 7 of Fig. 5;

Fig. 8 is a sectional view taken along line 8 - 8 of Fig. 5; and

Fig. 9 is an equivalent circuit diagram in the pixel region of the conventional liquid crystal display device.

[Description of the Reference Numerals]

GL: scan signal line CL: counter voltage signal line  
CT: counter electrode DL: video signal line PX: pixel  
electrode TFT1, TFT2: thin film transistor Cstg:  
capacitative element

**FIGURE 1:**

DL: VIDEO SIGNAL LINE SD2: DRAIN ELECTRODE CL: COUNTER  
VOLTAGE SIGNAL LINE GL: SCAN SIGNAL LINE GT: GATE ELECTRODE  
AS: AMORPHOUS SILICON FIL: COLOR FILTER BM: BLACK MATRIX  
PX: PIXEL ELECTRODE SD1: SOURCE ELECTRODE

**FIGURE 2:**

DL(M-TH) DL ((M+1)-TH) GL(N-TH) GL ((N-1)-TH)

**FIGURE 5:**

DL: VIDEO SIGNAL LINE SD2: DRAIN ELECTRODE CL: COUNTER  
VOLTAGE SIGNAL LINE GL: SCAN SIGNAL LINE GT: GATE ELECTRODE  
AS: AMORPHOUS SILICON FIL: COLOR FILTER BM: BLACK MATRIX  
CL: COMMON SIGNAL LINE

**FIGURE 6:**

DL(M-TH) GL((N-1)-TH) GL(N-TH) DL((M+1)-TH)

**FIGURE 9:**

DL(M-TH) GL((N-1)-TH) GL(N-TH) DL ((M+1)-TH)